

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-355561

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

H04N 1/393

G06T 3/40

G06T 5/00

H04N 1/405

(21)Application number : 10-170647

(71)Applicant : RICOH CO LTD

(22)Date of filing : 03.06.1998

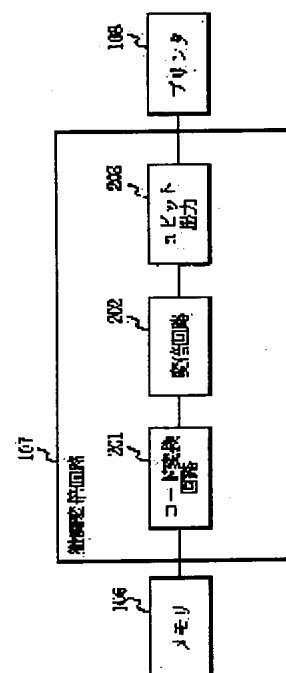
(72)Inventor : ISHII RIE

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processor with which a precisely controlled and satisfactorily magnified image can be easily provided without reading an original again by effectively utilizing and processing data preserved in a memory while increasing the number of bits, in the case of applying a fine magnifying processing to an image outputted by performing ordinary magnifying/non-magnifying processing and gradation processing.

SOLUTION: When a user outputs stored data and this image is a little different from the desired size, a fine magnification circuit 107 performs fine magnification within the range of $\pm X\%$. The figure shows the process for performing the fine magnifying operation. In the figure, n-bit data from a memory 106 is subjected to an arbitrary code conversion by a code converting circuit 201 to be m'-bit data and these data are magnified by a magnification circuit 202. By increasing the number of bits through the code converting circuit 201, accuracy in variable magnification calculation is improved. Corresponding to the number of output bits after variable magnification calculation, data are turned into n-bit data again by an n-bit output circuit and outputted to a printer.



LEGAL STATUS

[Date of request for examination]

10.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-355561

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 N 1/393

H 0 4 N 1/393

G 0 6 T 3/40

G 0 6 F 15/66

3 5 5 A

5/00

15/68

3 1 0 Z

H 0 4 N 1/405

H 0 4 N 1/40

B

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号

特願平10-170647

(22) 出願日

平成10年(1998)6月3日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 石井 理恵

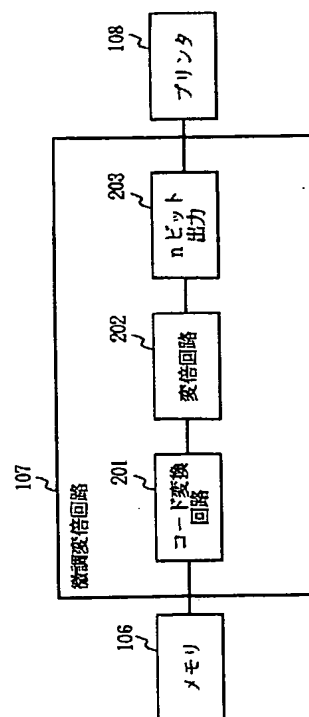
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 通常の変倍・等倍処理を施して階調処理を行い出力した画像の微調変倍処理において、メモリに保存されたデータのビット数を増やして活用、処理することによって、もう一度原稿を読み込ませることなく簡易に微調節した良好な変倍画像を得る画像処理装置を提供すること。

【解決手段】 微調変倍回路107は格納されたデータをユーザーが出力したとき、該画像がわずかに希望の大きさと異なった場合に、±X%の範囲内で微調整の変倍を行う。図2は、微調変倍操作が行われる場合の処理を表した図である。メモリ106からのnビットデータはコード変換回路201でm'ビットに任意のコード変換され変倍回路202で変倍される。コード変換回路201でビット数を増やしたことによって、変倍計算の精度を上げる。変倍計算後出力ビット数に合わせて、nビット出力回路で再びnビットにしプリンタに出力する。



【特許請求の範囲】

【請求項 1】 m ビットの画像データを画素ごとに入力する入力手段と、

この入力手段より入力された m ビットの画像データを n ビット ($n < m$) で出力するように処理する階調処理部と、

この階調処理部で作成された n ビットデータを記憶する記憶手段と、

この記憶手段に記憶された n ビットデータを変倍する変倍処理部と、

この変倍処理部での変倍処理時に、前記記憶手段に記憶された n ビットデータを m' ($n < m' \leq m$) ビットに変換する変換手段とを備えたことを特徴とする画像処理装置。

【請求項 2】 前記変換手段は n ビットデータを重ね合わせて m' ビットデータを生成することを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記変換手段は n ビットデータをビットシフトさせて m' ビットデータを生成することを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】 前記変換手段は n ビットデータをビットシフトさせ、下位の $m' - n$ ビットには乱数を加えて m' ビットデータを生成することを特徴とする請求項 1 記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像データを読み取り、階調処理を施し、変倍処理を行って出力する画像処理装置に関する。

【0002】

【従来の技術】 オフィスでの O A 化が進展する過程で、複写機、プリンタ、ファクシミリ装置などの画像処理装置の主流がアナログからデジタルへと移行している。そして、従来アナログ機が担ってきた設計図面などの原稿をコピーする機械においてもデジタル化が進んできている。設計図面などの原稿は、必ずしも原寸大でコピーすることを前提に製作されているわけではなく、微細な構造も見やすいように大きめに作成することが多いため、変倍処理を伴う画像処理を行うことが多い。変倍処理を伴う画像処理の方式例としては、特開平 5-2643 号公報記載の発明のように、デジタル画像データの各ドットに対応してドット密度の変換情報を記憶しておき、変換情報に対応して変倍したデジタル画像データを得る方法や、特開平 5-30338 号公報記載の発明のように、複数の画像加工を行ってから画像情報を記録する方法、特開平 5-83526 号公報記載の発明のように、主走査と副走査の方向を入れ替えてから主走査方向を変倍する方法などが提案されている。

【0003】

【発明が解決しようとする課題】 しかしながら、変倍処

理は、入力画像データに対しフィルタ処理を施した後、もしくはその前に行い、階調処理後に変倍を行うことはしない。これは、階調処理によって元データが失われるため、その後に縮小・拡大を行うことは避けられていたためである。これまでアナログ機が担ってきた設計図面は、図面用紙が特殊な紙であったり、従来のデジタル機が取り扱ってきたよりもはるかに大きなサイズ of の原稿であったりする。この場合、1 度読み取った原稿を変倍して出力させたとき、わずかに大きすぎたり小さすぎたりしたときにも、もう一度大きなサイズの原稿をスキャナで読み取ることは、かなりの労力と時間を費やしていた。また、薄紙などの図面用紙を何度も A D F (自動原稿搬送装置) にかけることも、原稿の破損の原因になりやすく、できる限り避ける必要があった。

【0004】 さらに、最近の傾向として複写機のコピー速度の高速化に伴い、高速複写機においては、画像データを一旦メモリに貯えてから出力する方式が一般的になりつつあるが、メモリ容量をなるべく少なくするために、かつ圧縮・伸長の時間をなるべく短くするために、階調処理後のデータをメモリに格納するようになってきたが、これらのメモリに格納されている原画像データよりも少ないビット数のデータをそのまま変倍すると、画質が著しく劣化する、という問題があった。本発明は、これらの欠点を鑑みてなされたものであり、通常の変倍・等倍処理を施して階調処理を行い出力した画像が、ユーザーが意図した大きさよりわずかに異なる場合において、微調変倍処理において、メモリに保存されたデータのビット数を増やして活用、処理することによって、もう一度原稿を読み込ませることなく簡易に微調節した良好な変倍画像を得る画像処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 請求項 1 記載の発明では、 m ビットの画像データを画素ごとに入力する入力手段と、この入力手段より入力された m ビットの画像データを n ビット ($n < m$) で出力するように処理する階調処理部と、この階調処理部で作成された n ビットデータを記憶する記憶手段と、この記憶手段に記憶された n ビットデータを変倍する変倍処理部と、この変倍処理部での変倍処理時に、前記記憶手段に記憶された n ビットデータを m' ($n < m' \leq m$) ビットに変換する変換手段とを備えたことにより上記目的を達成する。

【0006】 請求項 2 記載の発明では、請求項 1 記載の画像処理装置において、前記変換手段は n ビットデータを重ね合わせて m' ビットデータを生成することにより上記目的を達成する。請求項 3 記載の発明では、請求項 1 記載の画像処理装置において、前記変換手段は n ビットデータをビットシフトさせて m' ビットデータを生成することにより上記目的を達成する。請求項 4 記載の発明では、請求項 1 記載の画像処理装置において、前記変換

手段はnビットデータをビットシフトさせ、下位のm' - nビットには乱数を加えてm' ビットデータを生成することにより上記目的を達成する。

【0007】

【発明の実施の形態】以下、本発明の好適な実施の形態を、図1ないし図10を参照して詳細に説明する。図1は、本発明の実施の形態に係るデジタル複写機の画像処理部の構成を示した図である。スキャナ100で読み込まれたデータは、通常、従来の変倍処理回路101、フィルタ処理回路102、γ処理回路103、階調処理回路104を経て、メモリ106に格納される。データをメモリ106に格納することで、コピー部数が多いときに、いちいちスキニングすることなくユーザーの必要部数をコピーしたり、原稿の向きとセットされたコピー用紙の向きが異なった場合にも画像を転回して出力することができるようになってい

【0008】微調変倍回路107は、メモリ106に格納されたデータをユーザーが出力したとき、その出力された画像データがわずかにユーザーの希望する大きさと異なった場合に、±X% (Xは任意の整数) の範囲内で微調整の変倍を行う回路である。ユーザーが微調変倍操作を行ったとき、メモリに格納されていたnビットの画像データは微調変倍回路107に入りプリンタ108に出力される。ユーザーが微調変倍操作を行わないときにはメモリ106から直接プリンタ108へ出力される。

【0009】図2は、微調変倍操作が行われる場合、メモリ106から微調変倍回路107を通過してプリンタ108へ出力される際に行われる処理を表した図である。メモリ106からのnビットデータは、コード変換回路201でm' ビットに任意のコード変換され、変倍回路202で変倍される。コード変換回路201でビット数を増やしたことによって、変倍計算の精度を上げることができる。変倍計算後、プリンタの出力ビット数に合わせて、nビット出力回路203で再びnビットにし、プリンタ108に出力する。

【0010】図3はビットシフトによる変倍操作が行われる場合、メモリ106から微調変倍回路107を通過してプリンタ108へ出力される際に行われる処理を表した図である。メモリ106からのnビットデータは、左ビットシフト回路301で左ビットシフトを行うことによりm' ビットに変換され、変倍回路302で変倍される。左ビットシフト回路301でビット数を増やしたことによって、変倍計算の精度を上げることができる。変倍計算後、プリンタの出力ビット数に合わせて、nビット出力回路303で再びnビットにし、プリンタ108に出力する。

【0011】図4はビットデータの重ね合わせによる変倍操作が行われる場合、メモリ106から微調変倍回路107を通過してプリンタ108へ出力される際に行われる処理を表した図である。メモリ106からのnビット

データは左ビットシフト回路401で左ビットシフトを行い、これとメモリ内のnビットデータとの論理和(OR)をとることによって、nビットデータを重ね合わせたm' ビットに変換され、変倍回路402で変倍される。左ビットシフト回路401でビット数を増やしたことによって、変倍計算の精度を上げることができる。変倍計算後、プリンタの出力ビット数に合わせて、nビット出力回路403で再びnビットにし、プリンタ108に出力する。

10 【0012】図5はビットシフトしたデータに乱数を加えてデータを生成する場合、メモリ106から微調変倍回路107を通過してプリンタ108へ出力される際に行われる処理を表した図である。メモリ106からのnビットデータは左ビットシフト回路501で左ビットシフトを行い、これと乱数生成回路500内で発生させた乱数とのORをとることによって、m' ビットに変換され、変倍回路502で変倍される。左ビットシフト回路501でビット数を増やしたことによって、変倍計算の精度を上げることができる。変倍計算後、プリンタの出力ビット数に合わせて、nビット出力回路503で再びnビットにし、プリンタ108に出力する。

20 【0013】図6は、ビットシフトの際のビット数変換の説明図である。入力画像601が8ビットとし、フィルタ処理、変倍処理、γ処理、階調処理を終えた後メモリに記憶される出力データ602が4ビットの場合、メモリ内のp1~p4の各ビットデータを左に4ビットシフトすることによって、下位4ビットが0の8ビットデータ603を作ることができ、これによって微調変倍を行う。

30 【0014】図7は、ビットシフト後に乱数を加えるビット数変換の説明図である。入力画像701が8ビットとし、フィルタ処理、変倍処理、γ処理、階調処理を終えた後メモリに記憶される出力データ702が4ビットの場合、メモリ内のp1~p4の各ビットデータを左に4ビットシフトし、任意の乱数生成器において発生させた4ビットの乱数とのOR計算をすることによって下位4ビットに任意の乱数が入った8ビットデータ703を作ることができ、これによって微調変倍を行う。

40 【0015】図8はデータの重ね合わせによるビット数変換の説明図である。入力画像801が8ビットとし、フィルタ処理、変倍処理、γ処理、階調処理を終えた後メモリに記憶される出力データ802が4ビットの場合、メモリ内のp1~p4の各ビットデータを左に4ビットシフトし、もとのp1~p4の4ビットデータとのOR計算をすることによって、p1~p4のビットデータが2つ重なった8ビットデータ803を作ることができ、これによって微調変倍を行う。

50 【0016】図9はビット変換を入力ビット数まで戻さず、ビットシフトの方法を用いて、微調変倍計算をするビット数を4ビットから6ビットに増やす場合のビット

数変換の例である。入力画像 901 が 8 ビットとし、フィルタ処理、変倍処理、 γ 処理、階調処理を終えた後メモリに記憶される出力データ 902 が 4 ビットの場合、メモリ内の $p1 \sim p4$ の各ビットデータをビットシフトした分の下位 2 ビットに 0 が入力され、6 ビットデータ 903 が生成できる。

【0017】図 10 は微調変倍操作を行った場合のフローチャートである。微調変倍が操作されると（ステップ 11；Y）、メモリから格納されている画像データが読み出され（ステップ 12）、ビット数が m' ビットに変換され（ステップ 13）、変倍処理（微調変倍処理）が行われる（ステップ 14）。処理後のデータはプリンタの出力ビット数にあわせて n ビットで出力され（ステップ 15）、ステップ 11 にリターンする。ユーザーが希望の大きさの画像が得られた場合には（ステップ 11；N）、この動作は終了する。ユーザーが得られた画像をさらに微調変倍したい場合にはステップ 12 からステップ 15 の処理が繰り返される。

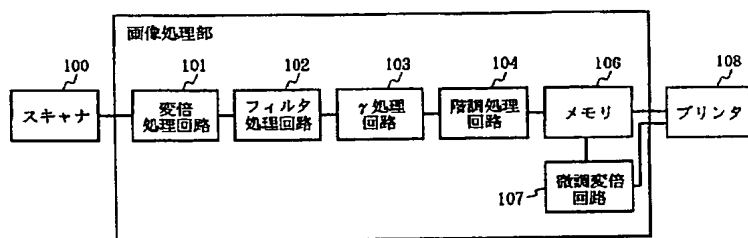
【0018】

【発明の効果】請求項 1 記載の発明では、 m ビットの画像データを n ビット（ $n < m$ ）に変倍した後、 m' （ $n < m' \leq m$ ）ビットに変換することにより階調処理後のデータに対し精度良く微調変倍処理を行うことができる。請求項 2 記載の発明では、 m' ビットデータは n ビットデータを重ね合わせて生成することにより階調処理後のデータに対し精度良く微調変倍を行うためのデータを簡易に作ることができる。

【0019】請求項 3 記載の発明では、 m' ビットデータは n ビットデータをビットシフトさせて生成することにより階調処理後のデータに対し精度良く微調変倍を行うためのデータを簡易に作ることができる。請求項 4 記載の発明では、 m' ビットデータは n ビットデータをビットシフトさせ、下位 $m' - n$ ビットに乱数を加えて生成することにより階調処理後のデータに対し精度良く微調変倍を行うためのデータを簡易に作ることができる。

【図面の簡単な説明】

【図 1】



【図 1】本実施の形態における画像処理部の構成図である。

【図 2】変倍操作が行われる場合の処理を表した図である。

【図 3】ビットシフトによる変倍操作が行われる場合の処理を表した図である。

【図 4】重ね合わせによる変倍操作が行われる場合の処理を表した図である。

【図 5】ビットシフトし乱数を加える変倍操作が行われる場合の処理を表した図である。

【図 6】ビットシフトの際のビット数変換の説明図である。

【図 7】ビットシフトし乱数を加える際のビット数変換の説明図である。

【図 8】重ね合わせる際のビット数変換の説明図である。

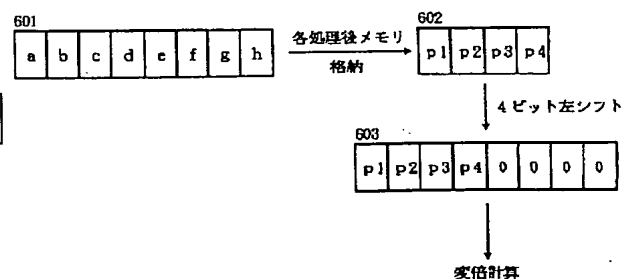
【図 9】ビット数変換を入力ビット数まで戻さない場合のビット数変換の説明図である。

【図 10】微調変倍処理の手順を示したフローチャートである。

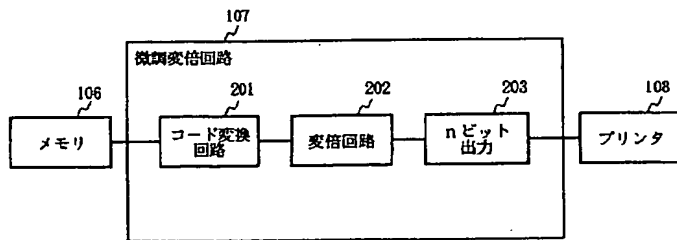
【符合の説明】

- 100 スキャナ
- 101 変倍処理回路
- 102 フィルタ処理回路
- 103 γ 処理回路
- 104 階調処理回路
- 106 メモリ
- 107 微調変倍回路
- 201 コード変換回路
- 202 変倍回路
- 203 n ビット出力回路
- 301、401、501 左ビットシフト回路
- 302、402、502 変倍回路
- 303、403、503 n ビット出力回路
- 500 乱数生成回路

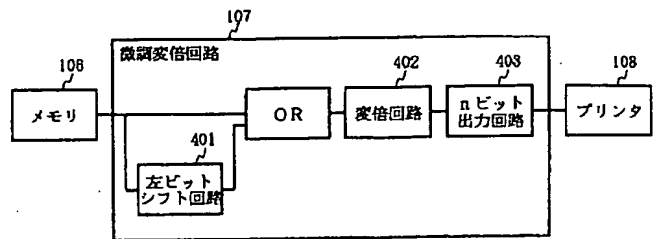
【図 6】



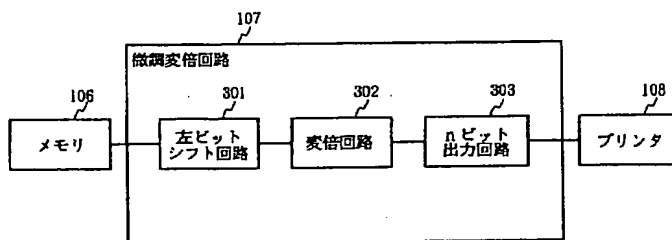
【図 2】



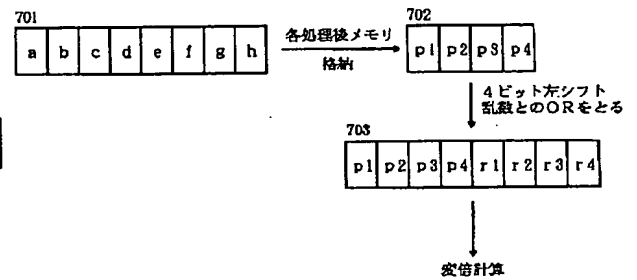
【図 4】



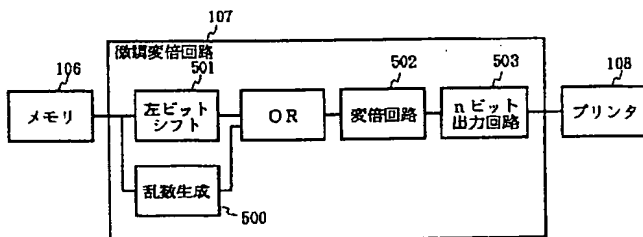
【図 3】



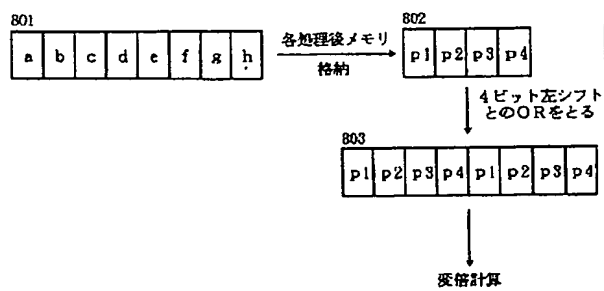
【図 7】



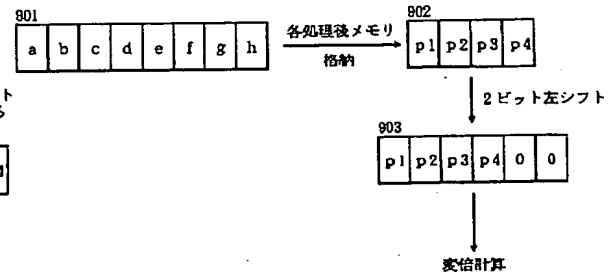
【図 5】



【図 8】



【図 9】



【図 10】

